

PCT

WELTOGANISATION FÜR GEISTIGES EIGENTUM

Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



(51) Internationale Patentklassifikation <sup>7</sup> :	A2	(11) Internationale Veröffentlichungsnummer: WO 00/35096
H03M 3/02		(43) Internationales Veröffentlichungsdatum: 15. Juni 2000 (15.06.00)

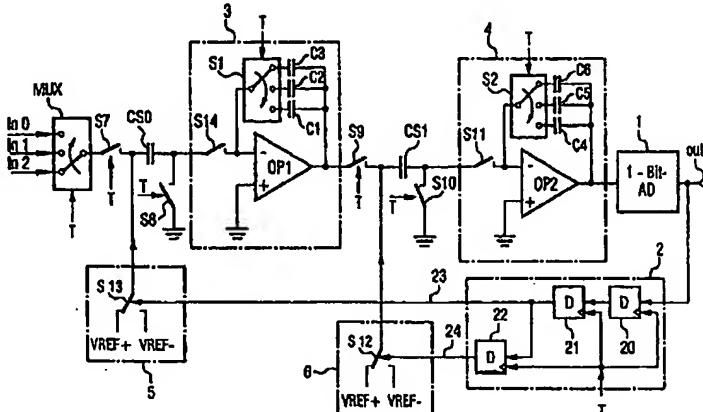
(21) Internationales Aktenzeichen: PCT/DE99/03927	(81) Bestimmungsstaaten: CN, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) Internationales Anmeldedatum: 8. Dezember 1999 (08.12.99)	
(30) Prioritätsdaten: 198 57 042.2 10. Dezember 1998 (10.12.98) DE	Veröffentlicht <i>Ohne internationalem Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>
(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, D-81541 München (DE).	
(72) Erfinder; und	
(75) Erfinder/Anmelder (nur für US): HAUPTMANN, Jörg [AT/AT]; Goritschacher Strasse 50, A-9241 Wernberg (AT). SCHRANZ, Christian [AT/AT]; Uhländstrasse 31/3/2, A-9500 Villach (AT).	
(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).	

(54) Title: ANALOG-DIGITAL CONVERTER

(54) Bezeichnung: ANALOG-DIGITAL-UMSETZER

(57) Abstract

The invention relates to an analog-digital converter which comprises a multitude of integrating circuits, a 1 bit analog-digital converter and a 1 bit digital-analog converter. The multitude of analog integrating circuits are connected in series and the 1 bit digital-analog converter is connected downstream from the last analog integrating circuit of the series. An output signal of the 1 bit analog-digital converter is transmitted to the 1 bit digital-analog converter, and an output signal of the 1 bit digital-analog converter is subtracted from an input signal of each analog integrating circuit. A multitude of input signals is transmitted via a multiplexer to the first analog integrating circuit of the series-connected analog integrating circuits. Each analog integrating circuit comprises a multitude of capacitors which correspond to the multitude of input signals, whereby a capacitor of the multitude of capacitors can be switched each time between an output and an input of the analog integrating circuit. The output signal of the 1 bit digital-analog converter is delayed according to the multitude of input signals.



**(57) Zusammenfassung**

Die Erfindung betrifft einen Analog-Digital-Umsetzer, der eine Vielzahl von Integratororschaltungen sowie einen 1-Bit-Analog-Digital-Umsetzer und einen 1-Bit-Digital-Analog-Umsetzer aufweist. Die Vielzahl von analogen Integratororschaltungen sind in Reihe geschaltet und die letzte analoge Integratororschaltung der Reihe ist der 1-Bit-Analog-Digital-Umsetzer nachgeschaltet. Ein Ausgangssignal des 1-Bit-Analog-Digital-Umsetzers wird dem 1-Bit-Digital-Analog-Umsetzer zugeführt und ein Ausgangssignal des 1-Bit-Digital-Analog-Umsetzer wird von einem Eingangssignal jeder analogen Integratororschaltung subtrahiert. Der ersten analogen Integratororschaltung der in Reihe geschalteten analogen Integratororschaltungen wird eine Vielzahl von Eingangssignalen über einen Multiplexer zugeführt. Jede analoge Integratororschaltung weist eine Vielzahl von Kapazitäten entsprechend der Vielzahl von Eingangssignalen auf, wobei jeweils eine Kapazität der Vielzahl von Kapazitäten zwischen einem Ausgang und einem Eingang der analogen Integratororschaltung schaltbar ist. Das Ausgangssignal des 1-Bit-Digital-Analog-Umsetzers wird entsprechend der Vielzahl von Eingangssignalen verzögert.

**LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	KZ	Kasachstan	RU	Russische Föderation		
CZ	Tschechische Republik	LC	St. Lucia	SD	Sudan		
DE	Deutschland	LI	Liechtenstein	SE	Schweden		
DK	Dänemark	LK	Sri Lanka	SG	Singapur		
EE	Estland	LR	Liberia				

**Beschreibung****Analog-Digital-Umsetzer**

5 Die Erfindung betrifft einen Analog-Digital-Umsetzer nach dem Oberbegriff von Patentanspruch 1.

Analog-Digital-Umsetzer, die nach dem Sigma-Delta-Verfahren arbeiten, erzeugen aus einem mehrfach überabgetasteten analogen Eingangssignal einen 1-Bit-Datenstrom. Ein Sigma-Delta-Analog-Digital-Umsetzer erster Ordnung weist eine Rückkopplungsstruktur auf, bei der das digitale Ausgangssignal über einen Digital-Analog-Umsetzer auf einen Summierer negativ rückgekoppelt wird. Der Summierer zieht vom überabgetasteten analogen Eingangssignal das rückgekoppelte analoge Signal ab, integriert das Differenzsignal mit einer analogen Integratororschaltung und setzt das Ausgangssignal der analogen Integratororschaltung über einen 1-Bit-Analog-Digital-Wandler in ein digitales Ausgangssignal um. Sigma-Delta-Analog-Digital-Umsetzer n-ter Ordnung weisen n in Reihe geschaltete analoge Integratororschaltungen auf, wobei das Rückkoppelsignal an den Eingang jeder n Integratororschaltungen geführt wird.

In "The Design of Sigma-Delta Modulation Analog-to-Digital Converters", B.E.Boser, B.A.Wooley, IEEE Journal of Solid-State Circuits, vol.SC-23, pp.1298-1308, December 1988, sind die Grundprinzipien der Sigma-Delta-A/D-Umsetzung beschrieben und in Figur 10 das Schaltbild eines Sigma-Delta-A/D-Umsetzers zweiter Ordnung dargestellt, der ein differentielles analoges Eingangssignal in ein digitales Ausgangssignal wandelt.

In "A 14-Bit 80-kHz Sigma-Delta A/D Converter: Modeling, Design and Performance Evaluation", S.R.Norsworthy, I.G.Post, H.S.Fetterman, IEEE Journal of Solid-State Circuits, vol.SC-

24, pp.256-266, April 1989, ist ebenfalls in Figur 6 das Schaltbild eines Sigma-Delta-A/D-Umsetzers zweiter Ordnung dargestellt.

5 Da ein Sigma-Delta-Umsetzer eine Rückkopplung und innere Zustandsspeicher aufweist und für einen geringen Umsetzungsfehler einschwingen muß, ist die Verarbeitung einer Vielzahl von Eingangssignalen, die dem Umsetzer im Zeitmultiplex zugeführt werden, problematisch.

10

Aus US 5,627,536 ist ein Sigma-Delta-Analog-Digital-Umsetzer für die Umsetzung einer Vielzahl von im Zeitmultiplex zugeführten Signalen bekannt. Vor jedem umzusetzenden analogen Abtastwert müssen die inneren Zustandsspeicher des Umsetzers 15 zurückgesetzt werden und der Umsetzer muß zur Umsetzung jedes Abtastwerts erneut einschwingen. Nachteilig ist dabei, daß dadurch die Umsetzrate des Sigma-Delta-Analog-Digital-Umsetzers vermindert wird.

20 Das der Erfindung zugrundeliegende technische Problem liegt daher darin, einen Sigma-Delta-Analog-Digital-Umsetzer anzugeben, der eine Vielzahl Eingangssignalen, die dem Umsetzer im Zeitmultiplex zugeführt werden, verarbeiten kann und dabei die Umsetzrate nicht durch Einschwingzeiten des Sigma-Delta-Analog-Digital-Umsetzers vermindert wird.

25 Dieses Problem wird durch einen Sigma-Delta-Analog-Digital-Umsetzer mit den Merkmalen von Patentanspruch 1 gelöst. Vorteilhafte Ausgestaltungen des Sigma-Delta-Analog-Digital-Umsetzers ergeben sich aus den jeweiligen Unteransprüchen.

30 Ein Analog-Digital-Umsetzer weist eine Vielzahl von Integratororschaltungen, einen 1-Bit-Analog-Digital-Umsetzer und einen 1-Bit-Digital-Analog-Umsetzer auf. Die Vielzahl von analogen 35 Integratororschaltungen sind in Reihe geschaltet und der letz-

ten analogen Integratorschaltung der Reihe ist der 1-Bit-Analog-Digital-Umsetzer nachgeschaltet. Ein Ausgangssignal des 1-Bit-Analog-Digital-Umsetzers wird dem 1-Bit-Digital-Analog-Umsetzer zugeführt und ein Ausgangssignal des 1-Bit-

5 Digital-Analog-Umsetzers wird von einem Eingangssignal jeder analogen Integratorschaltung subtrahiert. Der ersten analogen Integratorschaltung der in Reihe geschalteten analogen Integrator-

10 schaltung weist eine Vielzahl von Eingangssignalen über einen Multiplexer zugeführt und jede analoge Integrator-

15 schaltung weist eine Vielzahl von Kapazitäten entsprechend der Vielzahl von Eingangssignalen auf. Dabei ist jeweils eine Kapazität der Vielzahl von Kapazitäten zwischen einen Ausgang und einen Eingang eines Operationsverstärkers in jeder analo-

20 gen Integratorschaltung schaltbar, so daß eine Rückkoppelka-

25 pazität gebildet wird. Das Ausgangssignal des 1-Bit-Digital-Analog-Umsetzers wird entsprechend der Vielzahl von Eingangs-

30 signalen verzögert. Vorteilhafterweise bilden die Vielzahl von Kapazitäten jeder analogen Integratorschaltung Zustands- speicher. Jedem Eingangssignal der Vielzahl von Eingangs-

35 signalen ist in jeder analogen Integratorschaltung eine Kapa-

40 zität der Vielzahl von Kapazitäten zugeordnet. Der Analog-Digital-Umsetzer kann auch für differentielle Eingangssignale ausgelegt sein. In diesem Fall sind jedem differentiellen Eingangssignal der Vielzahl von differentiellen Eingangs-

45 signalen zwei Kapazitäten zugeordnet, so daß jede analoge In-

50 tegratorschaltung insgesamt doppelt so viele Kapazitäten wie die Vielzahl von differentiellen Eingangssignalen aufweist.

Ein weiterer Vorteil der Erfindung ist der verringerte schal-

55 tungstechnische Aufwand zur Verarbeitung einer Vielzahl von Eingangssignalen, da anstelle einer Vielzahl von Sigma-Delta-

60 Analog-Digital-Umsetzern entsprechend der Vielzahl von Ein-

65 gangssignalen nur jeweils in jeder analogen Integratorschal-

70 tung eine Vielzahl von Kapazitäten entsprechend der Vielzahl von Eingangssignalen vorgesehen wird. Vorteilhafterweise wird

dadurch Chipfläche bei einer Integration des Sigma-Delta-Analog-Digital-Umsetzers auf einem Chip gespart.

In einer weiteren besonders bevorzugten Ausführungsform wird  
5 das Ausgangssignal des 1-Bit-Digital-Analog-Umsetzers durch  
ein Schieberegister verzögert, wobei das Schieberegister eine  
Vielzahl von Ausgängen entsprechend der Vielzahl von analogen  
Integratorschaltungen aufweist. Jeder der Vielzahl von Aus-  
gängen wird jeweils einem Eingang einer der Vielzahl von ana-  
10 logen Integratorschaltungen zugeführt, so daß einer analogen  
Integratorschaltung das korrekte Ausgangssignal des 1-Bit-  
Digital-Analog-Wandlers zugeführt wird.

In einer besonders bevorzugten Ausführungsform wird das  
15 Schieberegister von einem Taktsignal getaktet, das zudem par-  
allel eine Vielzahl von Abtastschaltern taktet. Jeder analo-  
gen Integratorschaltung sind Abtastschalter vorgeschaltet,  
und mit dem Taktsignal wird jeweils in jeder analogen Inte-  
gratorschaltung eine Kapazität der Vielzahl von Kapazitäten  
20 zwischen zwischen einen Ausgang und einen Eingang des Opera-  
tionsverstärkers geschaltet. Das Taktsignal steuert somit den  
Ablauf der Umsetzung der Vielzahl von Eingangssignalen.

In einer weiteren besonders bevorzugten Ausführungsform ist  
25 jeder der Vielzahl von Ausgängen des Schieberegisters um eine  
Taktpериode des Taktsignals untereinander verzögert. Somit  
liegen an jedem Ausgang des Schieberegisters zu verschiedenen  
Eingangssignalen gehörige Signale an.

30 Ein erster Ausgang der Vielzahl von Ausgängen des Schiebere-  
gisters ist in einer besonders bevorzugten Ausführungsform  
des Schieberegisters um Taktpérioden entsprechend der um Eins  
verminderten Anzahl der Eingangssignale verzögert und jeder  
weitere Ausgang der Vielzahl von Ausgängen des Schieberegi-  
35 sters ist um jeweils eine weitere Taktpériode verzögert.

In einer besonders bevorzugten Ausführungsform weist die Vielzahl von Kapazitäten in jeder analogen Integratorschaltung jeweils gleiche Kapazitätswerte auf. Vorteilhafterweise

5 lässt sich bei integrierten Schaltungen das Verhältnis im Gegensatz zu den absoluten Werten von Kapazitäten sehr viel genauer einstellen und zudem ist bei gleichen Kapazitätswerten die Integrationszeitdauer für jedes Eingangssignal gleich.

In einer bevorzugten Ausführungsform wird der Verstärkungsfaktor jeder analogen Integratorschaltung durch das Verhältnis einer dem Eingang des Operationsverstärkers vorgesetzten Kapazität und einer Kapazität der Vielzahl von Kapazitäten bestimmt.

10 15 In einer besonders bevorzugten Ausführungsform beträgt der Verstärkungsfaktor jeder analogen Integratorschaltung 0,5.

In einer bevorzugten Ausführungsform sind die Kapazitätswerte der Vielzahl von Kapazitäten der ersten analogen Integrator-  
20 schaltung größer als die Kapazitätswerte der Vielzahl von Kapazitäten der weiteren analogen Integratorschaltungen.

Weitere Vorteile, Merkmale und Anwendungsmöglichkeiten der Erfindung ergeben sich aus der nachfolgenden Beschreibung von  
25 Ausführungsbeispielen in Verbindung mit der Zeichnung. In der Zeichnung zeigt

Fig.1 ein Ausführungsbeispiel eines Sigma-Delta-A/D-Umsetzers nach der Erfindung für die Umsetzung dreier analoger Eingangssignale.

In Figur 1 ist ein Sigma-Delta-Analog-Digital-Umsetzer dargestellt, der in Switched-Capacitor-Technik aufgebaut ist.

Einem Multiplexer MUX wird ein erstes analoges Eingangssignal In0, ein zweites analoges Eingangssignal In1 und ein drittes analoges Eingangssignal In2 zugeführt. Die drei analogen Eingangssignale müssen auf mindestens die halbe Abtastfrequenz,

5 mit der der Sigma-Delta-Analog-Digital-Umsetzer arbeitet, bandbegrenzt sein. Auf einen Ausgang des Multiplexers MUX werden zyklisch die drei Eingangssignale In0, In1 und In2 des Multiplexers mit einem Taktsignal T geschaltet. Am Ausgang des Multiplexers liegt somit ein Signal, das Zeitschlüsse mit

10 einer Dauer entsprechend der Periodendauer des Taktsignals T aufweist und aus dem ersten analogen Eingangssignal In0, dem zweiten analogen Eingangssignal In1 und dem dritten analogen Eingangssignal In2 gebildet ist.

15 Das Ausgangssignal des Multiplexers wird mit einem ersten Abtastschalter S7 und einem dritten Abtastschalter S8 abgetastet. Zwischen den ersten Abtastschalter S7 und den dritten Abtastschalter S8 ist ein erster Kondensator CS0 geschaltet. Der erste Kondensator CS0 wird bei geschlossenem ersten S7

20 und dritten S8 Abtastschalter durch das Ausgangssignal des Multiplexers MUX geladen. Sowohl der erste S7 als auch der dritte S8 Abtastschalter wird von dem Taktsignal T gesteuert.

Ein an einem Ausgang der ersten analogen Integratorschaltung

25 3 anliegendes Signal wird über einen zweiten Abtastschalter S9 und einen vierten Abtastschalter S10 abgetastet. Zwischen den zweiten Abtastschalter S9 und den vierten Abtastschalter S10 ist ein zweiter Kondensator CS1 geschaltet. Der zweite Kondensator CS1 wird bei geschlossenem zweiten S9 und vierten

30 S10 Abtastschalter durch das Ausgangssignal der ersten analogen Integratorschaltung 3 geladen. Der zweite S9 als auch der vierte S10 Abtastschalter wird von dem Taktsignal T gesteuert.

Das Ausgangssignal der zweiten analogen Integratorschaltung 4 wird einem Einbit-Analog-Digital-Umsetzer 1 zugeführt. Der 1-bit-Analog-Digital-Umsetzer 1 setzt das zugeführte abgetastete Signal in einen 1-Bit-Datenstrom um. Üblicherweise besteht  
5 der Einbit-Analog-Digital-Umsetzer aus einer einfachen Komparatorschaltung.

Der 1-Bit-Datenstrom wird einem Schieberegister 2 zugeführt. Das Schieberegister 2 verzögert den 1-Bit-Datenstrom um Takt-  
10 perioden entsprechend der Vielzahl von Eingangssignalen. Das Schieberegister weist ein erstes Register 20, ein zweites Register 21 und ein drittes Register 22 auf, die von dem Takt-  
signal T gesteuert werden. Das erste Register 20 empfängt den 1-Bit-Datenstrom von dem 1-Bit-Analog-Digital-Umsetzer 1. Dem  
15 ersten Register 20 ist das zweite Register 21 nachgeschaltet. Durch das erste 20 und zweite 21 Register wird der 1-Bit-  
Datenstrom um zwei Takte des Taktsignals T verzögert. Der Ausgang des zweiten Registers 21 bildet einen ersten Ausgang  
23 des Schieberegisters 2. Dem zweiten Register 21 ist parallel zu dem ersten Ausgang 23 das dritte Register 22 nachge-  
schaltet, dessen Ausgang wiederum einen zweiten Ausgang 24  
20 des Schieberegisters 2 bildet.

Der erste Ausgang 23 des Schieberegisters 2 wird einem ersten  
25 Umschalter 5 zugeführt. Der zweite Ausgang 24 des Schiebere-  
gisters 2 wird einem zweiten Umschalter 6 zugeführt.

Der erste Umschalter 5 weist einen dritten Schalter S13 auf,  
der einen Ausgang des ersten Umschalters 5 auf eine erste Re-  
30 ferenzspannung Vref+ oder eine zweite Referenzspannung Vref-  
schaltet.

Der zweite Umschalter 6 weist einen zweiten Schalter S12 auf,  
der einen Ausgang des zweiten Umschalters 6 auf die erste Re-

ferenzspannung  $V_{ref+}$  oder die zweite Referenzspannung  $V_{ref-}$  schaltet.

Der erste 5 und zweite 6 Umschalter bilden jeweils einen 1-  
5 Bit-Digital-Analog-Wandler. Der erste Umschalter 5 wird durch  
den um zwei Takte des Taktsignals T verzögerten 1-Bit-  
Datenstrom des 1-Bit-Analog-Digital-Umsetzers 1 gesteuert.  
Der zweite Umschalter 6 wird durch den um drei Takte des  
Taktsignals T verzögerten 1-Bit-Datenstrom des 1-Bit-Analog-  
10 Digital-Umsetzers 1 gesteuert.

Ein am Ausgang des ersten Umschalters 5 anliegendes Signal  
wird dem Eingang der ersten analogen Integratorschaltung 3  
zugeführt. Ein Ausgangssignal am Ausgang des zweiten Umschal-  
15 ters 6 wird der zweiten analogen Integratorschaltung 4 zuge-  
führt.

Die erste analoge Integratorschaltung 3 weist einen ersten  
Operationsverstärker OP1 auf. Einem invertierenden Eingang  
20 des ersten Operationsverstärkers OP1 ist ein vierter Schalter  
S14 vorgeschaltet, der den Eingang der ersten analogen Inte-  
gratorschaltung 3 bildet. Ein nichtinvertierender Eingang des  
ersten Operationsverstärkers OP1 ist mit dem Bezugspotential  
VSS verbunden. Ein Ausgang des ersten Operationsverstärkers  
25 OP1 bildet den Ausgang der ersten analogen Integratorschal-  
tung. Der Ausgang des ersten Operationsverstärkers OP1 ist  
mit dem nichtinvertierenden Eingang des ersten Operationsver-  
stärkers OP1 über einen dritten Umschalter S1 und einer von  
drei Kapazitäten C1, C2 und C3 verbindbar. Der dritte Um-  
30 schalter S1, der ein Multiplexer ist, schaltet dabei eine der  
drei Kapazitäten C1, C2 oder C3 zwischen den Ausgang des er-  
sten Operationsverstärkers OP1 und den nichtinvertierenden  
Eingang des ersten Operationsverstärkers OP1 und wird von dem  
Taktsignal T gesteuert. Dadurch ist jeweils eine der drei Ka-

pazitäten als Rückkoppelkapazität des Operationsverstärkers schaltbar.

Die zweite analoge Integratorschaltung 4 weist einen zweiten  
5 Operationsverstärker OP2 auf. Einem invertierenden Eingang des zweiten Operationsverstärkers OP2 ist ein erster Schalter S11 vorgeschaltet, der den Eingang der zweiten analogen Integratorschaltung 4 bildet. Ein nichtinvertierender Eingang des zweiten Operationsverstärkers OP2 ist mit dem Bezugspotential  
10 VSS verbunden. Ein Ausgang des zweiten Operationsverstärkers OP2 bildet den Ausgang der zweiten analogen Integratorschaltung OP4. Der Ausgang des zweiten Operationsverstärkers OP2 ist mit dem nichtinvertierenden Eingang des zweiten Operationsverstärkers OP2 über einen vierten Umschalter S2 und einer  
15 von drei Kapazitäten C4, C5 und C6 verbindbar. Der vierte Umschalter S2, der ein Multiplexer ist, schaltet dabei eine der drei Kapazitäten C4, C5 oder C6 zwischen den Ausgang des zweiten Operationsverstärkers OP2 und dem nichtinvertierenden Eingang des zweiten Operationsverstärkers OP2 und wird von  
20 dem Taktignal T gesteuert. Dadurch ist jeweils eine der drei Kapazitäten als Rückkoppelkapazität des Operationsverstärkers schaltbar.

Es sollte angestrebt werden, die drei Kapazitäten C1 bis C3  
25 bzw. C4 bis C6 der ersten 3 bzw. zweiten 4 analogen Integratorschaltung möglichst klein zu halten, um den Ausgangstrom des Operationsverstärkers OP1 bzw. OP2 und damit die Anstiegszeit zu minimieren. Die drei Kapazitäten C4 bis C6 der zweiten analogen Integratorschaltung 4 können kleiner als die  
30 drei Kapazitäten C1 bis C3 der ersten analogen Integrator- schaltung 3 sein, da in der ersten analogen Integratorschaltung verursachtes (thermisches) Rauschen durch eine Shaping- Funktion erster Ordnung der ersten analogen Integratorschaltung verringert wird.

Jedem der drei analogen Eingangssignale In0, In1 und In2 ist dabei jeweils eine der drei Kapazitäten C1, C2 und C3 bzw. C4, C5 und C6 der ersten analogen Integratorschaltung 3 bzw. der zweiten analogen Integratorschaltung 4 zugeordnet. Die 5 Kapazitäten C1 bis C3 bzw. C4 bis C6 bilden Zustandsspeicher für die zu integrierenden Eingangssignale der analogen Integratorschaltung.

Der Sigma-Delta-Analog-Digital-Umsetzer arbeitet nach dem 10 Pipeline-Prinzip. Die folgende Tabelle verdeutlicht während verschiedener Perioden 1 bis 7 des Taktsignals T den Zustand der ersten analogen Integratorschaltung 3, der zweiten analogen Integratorschaltung 4 und des ersten Registers 20, des zweiten Registers 21 und des dritten Registers 22 (durch die 15 festgestellten Indizes wird die Taktperiode angegeben, in der das analoge Eingangssignal am Ausgang des Multiplexers MUX angelegen hat):

T	3	4	20	21	22
1	In0 <sub>1</sub>	-	-	-	-
2	In1 <sub>2</sub>	In0 <sub>1</sub>	-	-	-
3	In2 <sub>3</sub>	In1 <sub>2</sub>	In0 <sub>1</sub>	-	-
4	In0 <sub>4</sub>	In2 <sub>3</sub>	In1 <sub>2</sub>	In0 <sub>1</sub>	-
5	In1 <sub>5</sub>	In0 <sub>4</sub>	In2 <sub>3</sub>	In1 <sub>2</sub>	In0 <sub>1</sub>
6	In2 <sub>6</sub>	In1 <sub>5</sub>	In0 <sub>4</sub>	In2 <sub>3</sub>	In1 <sub>2</sub>
7	In0 <sub>7</sub>	In2 <sub>6</sub>	In1 <sub>5</sub>	In0 <sub>4</sub>	In2 <sub>3</sub>

20 Bis zur Taktperiode 4 muß der Sigma-Delta-Analog-Digital-Umsetzer einschwingen, da die in der zweiten analogen Integratorschaltung 4 und dem ersten bis dritten Register 20 bis 22 gespeicherten Werte Anfangswerte sind, die nicht mit den drei analogen Eingangssignalen In0 bis In2 zusammenhängen. Ab 25 der fünften Taktperiode ist der Sigma-Delta-Analog-Digital-Umsetzer mit Abtastwerten der analogen Eingangssignale In0 bis In2 „gefüllt“. Aus der Tabelle ist ersichtlich, daß der

Ausgang des zweiten Registers 21, der auf den Eingang der ersten analogen Integratorschaltung 3 zurückgeführt wird, das analoge Eingangssignal aufweist, das auch über den Multiplexer MUX dem Eingang ersten analogen Integratorschaltung 3 zu-  
5 geführt wird. Dasselbe gilt für die zweite analoge Integra-  
torschaltung 4. Die für die erste und zweite analoge Integra-  
torschaltung angegebenen Werte beziehen sich selbstverständ-  
lich auf die Kapazität, die den Zustandsspeicher für den je-  
weiligen Wert bildet. Durch das Takt signal T wird der jeweils  
10 passende Zustandsspeicher bzw. die jeweils passende Kapazität  
dem Operationsverstärker in der analogen Integratorschaltung  
zugeschaltet.

Aufgrund verschiedener Parameter wie Durchlaufzeiten einzel-  
15 ner Komponenten, Integrationszeitkonstanten, etc. sollte das  
Takt signal an die jeweils zu steuernde Komponente angepaßt  
werden. Beispielsweise ist darauf zu achten, daß es aufgrund  
von Signallaufzeiten auf den Takteitungen des Takt signals  
nicht zu Überlappungen der einzelnen Taktperioden kommt und  
20 dadurch Umsetzfehler auftreten. Ein anderes Beispiel ist die  
Integrationszeitdauer der analogen Integratorschaltungen, die  
berücksichtigt werden muß. Dabei muß die Integration eines  
Werte abgeschlossen sein, bevor der nächste Wert integriert  
25 wird. Dabei kann es auch erforderlich sein, die Verzögerung  
durch das Schiebregister beispielsweise um die Verzögerung  
einer halben Periode des Takt signals zu erweitern.

Die am meisten kritische Komponente des Sigma-Delta-Analog-  
Digital-Umsetzers ist der in der analogen Integratorschaltung  
30 enthaltene Operationsverstärker, der sehr sorgfältig hin-  
sichtlich der Einschwingdauer und der Anstiegszeit ausgewählt  
werden muß. Dabei spielt es keine Rolle, daß der Operations-  
verstärker eine kurze Einschwingzeit aufweist. Vielmehr muß  
der Operationsverstärker während der Einschwingzeit im linea-

ren Bereich arbeiten. Die Anstiegszeit sollte dabei die Einschwingzeit nicht begrenzen.

#### Bezugszeichenliste

5

1	1-Bit-Analog-Digital-Umsetzer
2	Schieberegister
20 ~ 22	1-Bit-Register
3	erste analoge Integratorschaltung
10 4	zweite analoge Integratorschaltung
5	erster Umschalter
6	zweiter Umschalter
In0	erstes Eingangssignal
In1	zweites Eingangssignal
15 In2	drittes Eingangssignal
MUX	Multiplexer
T	Taktsignal
S1	dritter Umschalter
S2	vierter Umschalter
20 S7	erster Abtastschalter
S8	dritter Abtastschalter
S9	zweiter Abtastschalter
S10	vierter Abtastschalter
S11	erster Schalter
25 S12	zweiter Schalter
S13	dritter Schalter
S14	vierter Schalter
CS0	erster Kondensator
CS1	zweiter Kondensator
30 C1 ~ C3	Rückkoppelkapazitäten der ersten analogen Integratorschaltung
C4 ~ C6	Rückkoppelkapazitäten der zweiten analogen Integratorschaltung
OP1	erster Operationsverstärker
35 OP2	zweiter Operationsverstärker

VSS        Bezugspotential  
Vref+      erste Referenzspannung  
Vref-      zweite Referenzspannung

## Patentansprüche

1. Analog-Digital-Umsetzer, der eine Vielzahl von analogen Integratorschaltungen (3, 4) sowie einen 1-Bit-Analog-Digital-Umsetzer (1) und einen 1-Bit-Digital-Analog-Umsetzer (5, 6) aufweist, wobei die Vielzahl von analogen Integratorschaltungen (3, 4) in Reihe geschaltet sind und der letzten analogen Integratorschaltung der Reihe der 1-Bit-Analog-Digital-Umsetzer (1) nachgeschaltet ist, wobei ein Ausgangssignal des 1-Bit-Analog-Digital-Umsetzers (1) dem 1-Bit-Digital-Analog-Umsetzer (5, 6) zugeführt wird und ein Ausgangssignal des 1-Bit-Digital-Analog-Umsetzer (5, 6) von einem Eingangssignal jeder analogen Integratorschaltung (3, 4) subtrahiert wird, und wobei der ersten analogen Integratorschaltung (3) der in Reihe geschalteten analogen Integratorschaltungen (3, 4) eine Vielzahl von Eingangssignalen (In0, In1, In2) über einen Multiplexer (MUX) zugeführt wird,  
dadurch gekennzeichnet, daß
  - jede analoge Integratorschaltung (3, 4) eine Vielzahl von Kapazitäten (C1 - C3, C4 - C6) entsprechend der Vielzahl von Eingangssignalen (In0, In1, In2) aufweist;
  - in jeder analogen Integratorschaltung jeweils eine Kapazität der Vielzahl von Kapazitäten zwischen einen Ausgang und einen Eingang eines Operationsverstärkers (OP1, OP2) schaltbar ist;
  - das Ausgangssignal des 1-Bit-Digital-Analog-Umsetzers entsprechend der Vielzahl von Eingangssignalen verzögert wird.
2. Analog-Digital-Umsetzer nach Anspruch 1,  
dadurch gekennzeichnet, daß  
das Ausgangssignal des 1-Bit-Digital-Analog-Umsetzers durch ein Schieberegister (2) verzögert wird, wobei das Schieberegister (2) eine Vielzahl von Ausgängen (23, 24)

entsprechend der Vielzahl von analogen Integratorschaltungen (3, 4) aufweist.

3. Analog-Digital-Umsetzer nach Anspruch 2,  
5 dadurch gekennzeichnet, daß  
das Schieberegister (2) von einem Taktsignal (T) getaktet  
wird und das Taktsignal (T) parallel eine Vielzahl von  
Abtastschaltern (S7, S8, S9, S10) taktet, die den analogen  
Integratorschaltungen (3, 4) vorgeschaltet sind, und mit dem  
10 Taktsignal (T) in jeder analogen Integratorschaltung (3, 4)  
jeweils eine Kapazität der Vielzahl von Kapazitäten (C1 - C3,  
C4 - C6) zwischen einen Ausgang und einen Eingang des  
Operationsverstärkers (OP1, OP2) geschaltet wird.
- 15 4. Analog-Digital-Umsetzer nach Anspruch 3,  
dadurch gekennzeichnet, daß  
jeder der Vielzahl von Ausgängen (23, 24) des  
Schieberegisters (2) um eine Taktperiode des Taktsignals (T)  
untereinander verzögert sind.  
20
- 25 5. Analog-Digital-Umsetzer nach Anspruch 4,  
dadurch gekennzeichnet, daß  
ein erster Ausgang (23) der Vielzahl von Ausgängen des  
Schieberegisters (2) um Taktperioden entsprechend der um Eins  
verminderten Anzahl der Eingangssignale (In0, In1, In2)  
verzögert ist und jeder weitere Ausgang (24) der Vielzahl von  
Ausgängen des Schieberegisters (2) um jeweils eine weitere  
Taktperiode verzögert ist.
- 30 6. Analog-Digital-Umsetzer nach einem der vorhergehenden  
Ansprüche,  
dadurch gekennzeichnet, daß  
die Vielzahl von Kapazitäten (C1 - C3, C4 - C6) in jeder  
analogen Integratorschaltung (3, 4) jeweils gleiche  
35 Kapazitätswerte aufweisen.

7. Analog-Digital-Umsetzer nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, daß  
5 der Verstärkungsfaktor jeder analogen Integratorschaltung (3,  
4) durch das Verhältnis einer dem Eingang des Operationsverstärkers (OP1, OP2) vorgeschalteten Kapazität (CS0, CS1) und einer Kapazität der Vielzahl von Kapazitäten (C1 - C3, C4 - C6) bestimmt wird.

10 8. Analog-Digital-Umsetzer nach Anspruch 7,  
dadurch gekennzeichnet, daß  
der Verstärkungsfaktor jeder analogen Integratorschaltung (3,  
4) 0,5 beträgt.

15 9. Analog-Digital-Umsetzer nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, daß  
die Kapazitätswerte der Vielzahl von Kapazitäten (C1 - C3)  
20 der ersten analogen Integratorschaltung (3) größer sind als  
die Kapazitätswerte der Vielzahl von Kapazitäten (C4 - C6)  
der weiteren analogen Integratorschaltungen (4).

1/1

